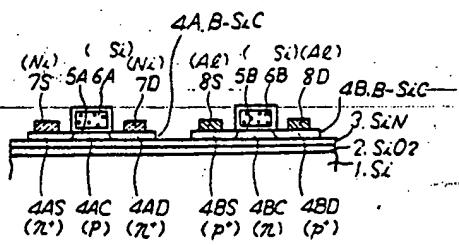


• (54) THIN FILM TRANSISTOR

(1) 62-188373 (A) (43) 17.8.1987 (19) JP
 (2) Appl. No. 61-30330 (22) 14.2.1986
 (71) FUJITSU LTD (72) YUJI FURUMURA (4)
 (51) Int. Cl. H01L29/78, H01L21/205, H01L21/84, H01L27/12, H01L29/161

PURPOSE: To obtain a device having a mobility of carrier larger, a leakage current less, the maximum allowable working temperature higher and a semiconductor efficiency index higher than those of conventional FETs consisting of a poly Si film or an a-Si film by forming element on β -Si dioxide layers grown on an insulator.

CONSTITUTION: Elements are formed on β -Si carbide layers 4, grown on an insulator 3. For example, after an Si carbide layer 2 and the Si nitride layer 3 are grown in order on an Si substrate 1, a β -SiC layer is grown by a CVD method and patterned and β -SiC layers 4A and 4B, which demarcate transistor forming regions, are formed. Then, an impurity is doped to the β -SiC layers 4A and 4B by ion implantation to form a P-channel forming region 4AC for an N-channel transistor and an N-channel forming region 4BC for a P-channel transistor. Then, gate electrodes 6A and 6B consisting of a poly Si film are formed through gate insulating layers 5A and 5B and an impurity is doped to the β -SiC layers 4A and 4B by ion implantation using those gate electrodes 6A and 6B as masks to form N⁺ source regions 4AS and 4AD and P⁺ drain regions 4BS and 4BD.



257 157, 70 66

⑪ 公開特許公報 (A) 昭62-188373

⑤Int.Cl.

H 01 L 29/78
21/205
21/84
27/12
29/161

識別記号

厅内整理番号
8422-5F
7739-5F
7739-5F
7514-5F
8526-5F

⑥公開 昭和62年(1987)8月17日

審査請求 未請求 発明の数 1 (全5頁)

⑦発明の名称 薄膜トランジスタ

⑧特 願 昭61-30330

⑨出 願 昭61(1986)2月14日

⑩発明者	古村 雄二	川崎市中原区上小田中1015番地	富士通株式会社内
⑩発明者	三重野 文健	川崎市中原区上小田中1015番地	富士通株式会社内
⑩発明者	中沢 努	川崎市中原区上小田中1015番地	富士通株式会社内
⑩発明者	伊藤 喜久雄	川崎市中原区上小田中1015番地	富士通株式会社内
⑩発明者	土岐 雅彦	川崎市中原区上小田中1015番地	富士通株式会社内
⑪出願人	富士通株式会社	川崎市中原区上小田中1015番地	
⑫代理人	弁理士 井桁 貞一		

明細書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

- (1) 絶縁体上に成長された β -炭化珪素層に形成してなることを特徴とする薄膜トランジスタ。
 (2) 前記絶縁体が窒化珪素であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

〔概要〕

薄膜トランジスタ(TFT)として絶縁体上に成長された β -炭化珪素 (β -SiC) 層に電界効果トランジスタ(FET)等を形成し、従来の TFT よりキャリア易動度の大きい、リード電流の少ない、最高使用温度の高いデバイスを得る。

〔産業上の利用分野〕

本発明は半導体性能指標の高い β -SiC の薄膜

トランジスタに関する。

従来の TFT は絶縁体上に成長された多結晶珪素 (ポリ Si) 層、または非晶質珪素 (アモルファス Si、a-Si) 層に形成され、通常の単結晶の珪素 (Si) の FET に比し、その性能は劣っていた。

TFT は例えば、液晶表示のマトリックスの駆動用デバイスとして用いられている。

液晶表示のマトリックスは絶縁基板上に形成されるため、その駆動用に、マトリックスと同様に絶縁基板上に形成される TFT が用いられる場合が極めて多い。

この場合、液晶は高抵抗負荷のため駆動能力は小さくてよく、また高速動作も不要のため、高性能の TFT は要求されなかった。

しかしながら、近年、用途の多用化、高度化にともない、TFT の高性能化が要望されるようになってきた。

〔従来の技術と発明が解決しようとする問題点〕

前記のように、従来の TFT はポリ Si 層、または

a-Si層が用いられているが、これらの材料を用いた場合の問題点は、つぎのようである。

- (1) キャリアの易動度が小さい。
- (2) ポリSiのグレインの界面部位が多いため、单結晶Siの場合より、リーク電流が極端に大きい。
a-Siの場合はさらに大きい。
- (3) 最高使用温度が約200°Cと低い。

〔問題点を解決するための手段〕

上記問題点の解決は、絶縁体上に成長された β -炭化珪素層に形成してなる本発明による薄膜トランジスタにより達成される。

とくに、前記絶縁体に窒化珪素を用いると、成長核の生成により β -炭化珪素の成長が容易である。

〔作用〕

本発明は素子(トランジスタ等)形成層として β -SiCを用い、素子特性を改善する。

SiCは六方晶系の α -SiCと、立方晶系の β -

SiCとがあるが、素子形成にはSiと同一晶系の β -SiCを用いる。

SiCの結晶成長は、高温成長を必要とし困難であるが、本発明により多結晶SiCを1000°C程度で気相成長する技術を開発した。

SiCは单結晶化が困難であるが、TFTに多結晶 β -SiCを用いても、次表に示されるように、電気的特性は従来のポリSi、またはa-Siより優れている。

	電子の易動度 (cm ² V ⁻¹ s ⁻¹)	リーク電流 (A cm ⁻²)
多結晶 β -SiC	10~500	<10 ⁻¹⁴
ポリSi、a-Si	0.1~10	10 ⁻⁹ ~10 ⁻¹⁰
单結晶Si	~1500	10 ⁻¹⁰ ~10 ⁻¹¹

このように、多結晶の場合でも β -SiCの易動度が高いのは、成長温度がポリSi、a-Siより高いため、グレイン界面の不純物が減少するためと考えられる。

3

つぎに、参考のために β -SiCの電気的諸特性を、Si、ガリウム砒素(GaAs)と比較してつぎに示す。

いま、

飽和電子速度: v_s (cm s⁻¹)

破壊電界強度: E_b (V cm⁻¹)

誘電率: ϵ

熱伝導率: λ (W cm⁻¹ °C⁻¹)

ジョンソン指標(高周波大電力指標)

: Z_J (V² s⁻²)

キース指標(小型化指標)

: Z_K (W s⁻¹ °C⁻¹)

(ここに、ジョンソン指標 Z_J 、キース指標 Z_K は半導体性能指標で、上記の元を有する)とすると、つぎのようになる。

4

特性	Si	GaAs	β -SiC
v_s	1×10^7	2×10^7	2×10^7
E_b	2×10^5	3×10^5	5×10^6
ϵ	12	11	9.7
λ	1.5	0.5	5.0
Z_J	3.2×10^{13}	1.9×10^{14}	8.0×10^{14}
Z_K	6.7×10^7	3.2×10^7	3.1×10^8

上表に示されるように、 β -SiCはSi、GaAsより、 Z_J 、 Z_K ともに1~3桁優れていることが分かる。

(実施例)

第1図は本発明による β -SiCのTFTの構造を示す断面図である。

図の左はnチャネルトランジスタ、右はpチャネルトランジスタを示す。

図において、1はSi基板で、この上に厚さ100nmの二酸化珪素(SiO₂)層2、厚さ100nmの窒化珪素(Si₃N₄)層3を順次成長する。

つぎに、化学気相成長(CVD)法により、基板全面に厚さ200nmの β -SiC層を成長し、通常のリソグラフィによりバーニングして、トランジスタ形成領域を画定する β -SiC層4A、4Bを形成する。

β -SiCのCVD条件は、ソースガスとして三塩化シラン($SiHCl_3$)とプロパン(C_3H_8)、キャリアガスとして水素(H_2)を用い、これらを200Paに減圧し、1000°Cで熱分解して行う。

つぎに、イオン注入により、 β -SiC層4A、4Bにドーピングして、

nチャネルトランジスタに対しては、n型のチャネル形成領域4ACを形成する。

pチャネルトランジスタに対しては、n型のチャネル形成領域4BCを形成する。

つぎに、n、pチャネルトランジスタに対してそれぞれゲート絶縁層5A、5Bを介して、ポリSiよりなるゲート電極6A、6Bを形成する。

つぎに、ゲート電極6A、6Bをマスクにしたイオン注入により、 β -SiC層4A、4Bにドーピングし

て、

nチャネルトランジスタに対しては、n型のソース、ドレイン領域4AS、4ADを形成する。

pチャネルトランジスタに対しては、p型のソース、ドレイン領域4BS、4BDを形成する。

イオン注入の条件は、つぎのとおりである。

領域	ドーズ量 (cm^{-2})	エネルギー (keV)	イオン
n ⁺	2×10^{14}	120	As ⁺
n ⁻	4×10^{13}	120	As ⁺
p ⁺	2×10^{14}	40	B ⁺
p ⁻	4×10^{13}	40	B ⁺

つぎに、nチャネルトランジスタに対しては、ニッケル(Ni)層でオーミック電極、すなわちソース、ドレイン電極7S、7Dを形成する。

pチャネルトランジスタに対しては、アルミニウム(Al)層でオーミック電極、すなわちソース、ドレイン電極8S、8Dを形成する。

7

以上により、 β -SiCのTFTが形成される。

基板に、 Si_3N_4 / SiO_2 / Si構造を用いたのは、 Si_3N_4 上には前記のようにSiCの成長核が生成しやすいためである。

また、硬い Si_3N_4 に対し、 SiO_2 を挟んでストレスを緩和した。

以下に、本発明人による β -SiCの特性の測定結果を第2~4図に示す。

以下に記載のアニールはいずれもドライ窒素中で30分行う。

第2図はドーズ量をパラメータとして多結晶 β -SiCの抵抗率とアニール温度の関係図である。

同一ドーズ量に対してアニール温度が高いほど抵抗率は減少し、結晶性は悪くなる。

第3図はアニール温度をパラメータとして多結晶 β -SiCのホール(Hall)易動度とキャリア濃度の関係図である。

アニール温度が1000°Cにおいて、キャリア濃度が $10^{17} cm^{-3}$ で、ホール易動度は約 $450 cm^2 V^{-1} s^{-1}$ と高い値が得られた。

8

図中、点線でSi単結晶の場合を示す。

第4図はAsのドーズ量をパラメータとして多結晶 β -SiCのホール易動度とアニール温度の関係図である。

同一ドーズ量に対してアニール温度が高いほどホール易動度は減少し、結晶性は悪くなる。

つぎに、素子形成に必要なエッチングの選択性と、 β -SiCの成長装置について第5図と第6図で説明する。

第5図は β -SiCとAlに対するエッチングレートと圧力との関係図である。

この場合のエッチングは、エッチングガスとして三弗化窒素(NF_3)を用い、周波数13.56MHzの電力を200W加えて行った。

図より分かるように、減圧すると選択性が大きくなる。

この、選択性を利用してAlをマスクとして β -SiCのエッチングができる。

第6図(1)、(2)はそれぞれ β -SiCの成長装置のブロック図と、成長室の側断面図である。

第6図(I)において、61は成長室、62はSiHCl₃バブリング装置、63はC₂H₆容器、64はH₂可入口、65は8KHzの発振器、66はワークコイル、67はメカニカルプースタポンプ、68はロークリポンプである。

第6図(II)において、成長室61内に、ガス流と垂直に複数のSiC被覆のグラファイト製のサセプタ69が並置され、サセプタ69に設けられた溝(とくに図示せず)に基板70が保持される。

実施例においては、TFT単体の構成について説明したが、TFTを含む半導体装置についても発明の要旨は変わらない。

(発明の効果)

以上詳細に説明したように本発明による β -SiCのTFTは、従来のポリSi、または α -SiのTFTより、
 (1) キャリアの易効度が大きい。
 (2) リーク電流が小さい。
 (3) 最高使用温度が約500°Cと高い。

この結果、さらに従来のSi、またはGaNよりも半導体性能指標の高いデバイスが得られるようになった。

4. 図面の簡単な説明

第1図は本発明による β -SiCのTFTの構造を示す断面図。

第2図はドーズ量をパラメータとして多結晶 β -SiCの抵抗率とアニール温度の関係図。

第3図はアニール温度をパラメータとして多結晶 β -SiCのホール(Hall)易効度とキャリア温度の関係図。

第4図はAsのドーズ量をパラメータとして多結晶 β -SiCのホール易効度とアニール温度の関係図。

第5図は β -SiCとAlに対するエッチングレートと圧力との関係図。

第6図(I)、(II)はそれぞれ β -SiCの成長装置のブロック図と、成長室の側断面図である。

図において、

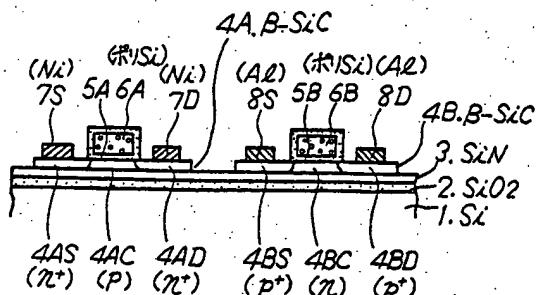
11

12

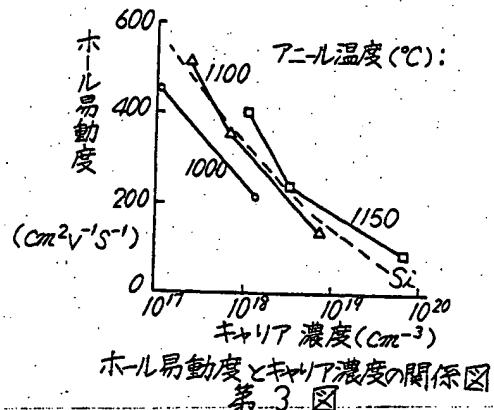
- 1はSi基板、
 2はSiO₂層、
 3はSi₃N₄層、
 4A、4Bは β -SiC層、
 5A、5Bはゲート絶縁層、
 6A、6Bはゲート電極、
 4AC 4BCはチャネル形成領域、
 4AS、4AD、4BS、4BDはソース、ドレイン領域、
 7S、7D、8S、8Dはソース、ドレイン電極である。

代理人弁理士 井桁貞一

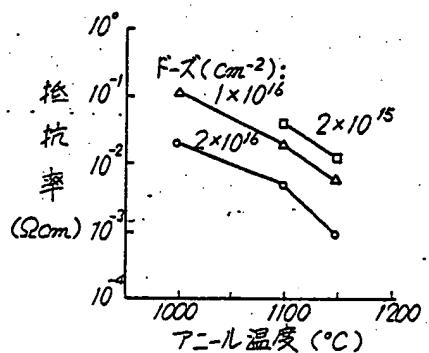




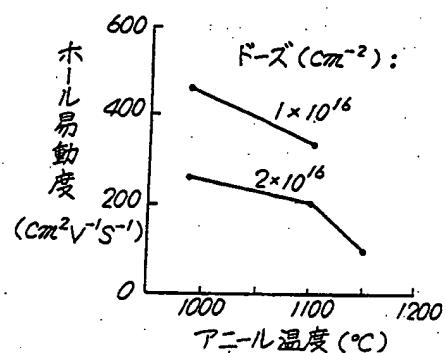
本発明のTFTの断面図
第1図



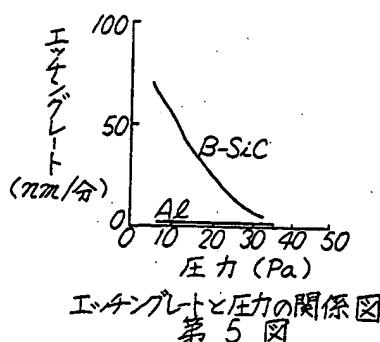
ホール易動度とキャリア濃度の関係図 第3図



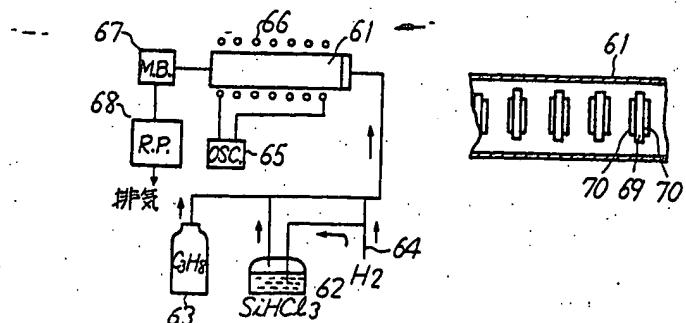
抵抗率-アニール温度の関係図 - 第2図



ホール易動度とアニール温度の関係図 第4図



エッチングレートと圧力の関係図 第5図



(1) 成長装置のブロック図 (2) 成長室の側断面図
第 6 図